

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-114481

(43)Date of publication of application : 21.04.2000

(51)Int.Cl.

H01L 27/108
H01L 21/8242
H01L 21/28
H01L 21/768

(21)Application number : 10-282555

(71)Applicant : NEC CORP

(22)Date of filing : 05.10.1998

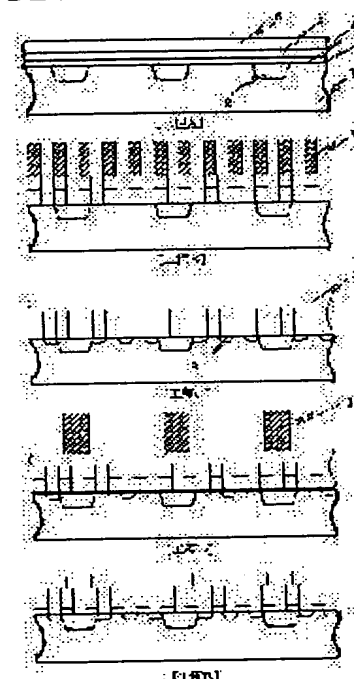
(72)Inventor : TAKAISHI YOSHIHIRO

(54) MANUFACTURE OF SEMICONDUCTOR MEMORY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To increase the contact area of a contact and a diffusion layer and also reduce contact resistance by making a contact for a bit line and a contact for a plurality of capacitive elements as a pattern when the contacts are formed in a self-alignment manner.

SOLUTION: A nitride film 6 functioning as a stopper film when a contact etching is performed is formed on a gate top electrode 5. Then, an interlayer insulation film 9 is formed. Then, a contact pattern 10 is made by using a contact photolithography technology. A contact is made by using a contact pattern 10 in which a bit contact is integrated with a capacitive contact. This stops a contact etching by the nitride film 6 formed on the electrodes 4, 5 to prevent the top surfaces of the electrodes 4, 5 from being exposed to make a bit contact and two capacitive contacts, whereby the contact can be formed in a larger size than ever.



LEGAL STATUS

[Date of request for examination] 05.10.1998

[Date of sending the examiner's decision of rejection] 31.07.2001

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開2000-114481

(P 2000-114481A)

(43)公開日 平成12年4月21日(2000.4.21)

(51)Int.Cl. ⁷	識別記号	F I	テマコード (参考)
H01L 27/108		H01L 27/10	681 B 4M104
21/8242		21/28	L 5F033
21/28		21/90	C 5F083
21/768		27/10	621 B
			621 C
審査請求 有 請求項の数 3 O L (全 8 頁)			

(21)出願番号 特願平10-282555

(22)出願日 平成10年10月5日(1998.10.5)

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 高石 芳宏

東京都港区芝五丁目7番1号日本電気株式会社内

(74)代理人 100099195

弁理士 宮越 典明

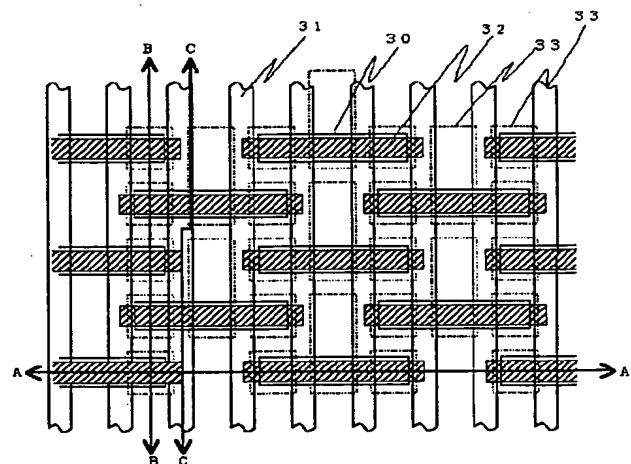
最終頁に続く

(54)【発明の名称】 半導体記憶装置の製造方法

(57)【要約】

【課題】コンタクト開口を自己整合的に行ない、局所配線（パッドポリシリコン電極）をセル内使用する方法ではコンタクトサイズが極端に小さくなる。さらに、コンタクトサイズのばらつきが大きくなり、開口不良や隣のコンタクトと接触して隣接するコンタクト同士がつながる。また、下地素子分離酸化膜がエッチングされて、素子分離特性が劣化する。

【解決手段】コンタクトをビットコンタクト、容量コンタクトと分けたパターンとせず、一つのパターンとしてパターンニングする。



30 フィールドパターン
31 ゲート電極パターン
32 コンタクトパターン
33 パッドポリシリコン電極パターン

【特許請求の範囲】

【請求項1】 自己整合的にコンタクトを形成する場合のコンタクト形成法において、ビット線に対するコンタクトと複数の容量素子に対するコンタクトを1つのパターンとして開口することを特徴とする半導体記憶装置の製造方法。

【請求項2】 (1)、ゲート電極上に、層間絶縁膜を形成する工程と、(2)、ビット線に対するコンタクトと複数の容量素子に対するコンタクトを1つのパターンとして開口する工程と、(3)、ゲート電極側壁を絶縁するサイドウォール絶縁膜を形成する工程と、(3)、ポリシリコンからなる局所配線用の電極を形成する工程と、を以って、メモリセルを形成したことを特徴とする請求項1記載の半導体記憶装置の製造方法。

【請求項3】 前記複数の容量素子の個数を2としたことを特徴とする請求項1又は2記載の半導体記憶装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体記憶装置の製造方法に関する。

【0002】

【従来の技術】 微細化の進歩に伴い、DRAMの高集積化・大容量化が急速に進んでいる。集積回路の微細化・高集積化に伴い、DRAMメモリセル内のコンタクト抵抗の高抵抗化、コンタクト・下地ワード線とのマージンの減少が顕著になってきている。この問題点を解決するための方法として、コンタクト開口を自己整合的に行ない、局所配線（パッドポリシリコン電極）をメモリセル内で使用する方法がある。

【0003】 従来の半導体記憶装置の製造方法について、図11、12を参照して説明する。図11はメモリセルのコンタクトを自己整合的に形成した場合のセル断面図を示す図であり、図12はその形成方法を示す図である。図11において、53がゲート下部電極であり、54がゲート上部電極である。56がパッドポリシリコン電極である。またゲート電極の周りをエッチングストッパーとなる窒化膜55で覆っている。

【0004】 この部分の形成方法を図12に示す。シリコン基板50内に素子分離領域51が形成されている。ゲート酸化膜52、ゲート下部電極53、ゲート上部電極54が順次形成されている。ゲート上に窒化膜55Aがまたゲート側壁にも側壁窒化膜55Bが形成されており、この両膜でゲート電極を窒化膜で包んでいる。ゲート電極上層間絶縁膜57を形成して、コンタクトフォトリソグラフィを行なう。このコンタクトフォトリソグラフィで形成されたレジストパターンを用いて、コンタクトをエッチングし、セル内にコンタクト70を開口する。この時、窒化膜と選択比があるコンタクト酸化膜エッチングを用いることにより、ゲート電極とショート

せずにコンタクトを開口できる。

【0005】

【発明が解決しようとする課題】 本方法を用いてもいくつかの問題点がある。第1に微細なコンタクトを1フィールドパターンにつき3つ同時に開口しなくてはならず、フォトリソグラフィ工程が困難になる。DRAMのメモリセルは最小寸法で形成しているため、ゲート幅・ゲート間隔・コンタクト等は、ほぼフォトリソグラフィの限界寸法で設計されている。そのためコンタクトとコンタクトとの間隔は、ほぼゲートの寸法と同じになる。目ずれが発生しない場合は、開口70のようにコンタクトが開口できる。

【0006】 しかしながら開口71に示すように、コンタクトフォトリソグラフィが下地ワード線に対して目ずれを生じた場合、コンタクトサイズが極端に小さくなる。またコンタクトフォトリソグラフィサイズの寸法、間隔とも最小であり、コンタクトサイズのばらつきが大きくなり、開口不良や隣のコンタクトと接触して隣接するコンタクト同士がつながる可能性がある。

【0007】 図13に従来の半導体記憶装置の製造方法における拡散層とコンタクトの間の問題点について図示する。本図は、ワード線（ゲート電極）に平行な方向の断面図である。この方向はゲート電極がないのでコンタクトは下地拡散層に対して自己整合的に形成できない。73のコンタクトは目ずれのない場合のコンタクトである。それに対して74は目ずれのある場合のコンタクトである。拡散層とコンタクトのマージンが小さいため、素子分離領域の酸化膜がエッチングされてしまい、素子分離特性が劣化してしまう。75はフォトリソグラフィでコンタクトサイズが大きくなった場合のコンタクトである。この場合には、拡散層幅に対してコンタクトが大きくなるため、下地素子分離酸化膜がエッチングされて、素子分離特性が劣化する。

【0008】 本発明は、従来の半導体記憶装置の製造方法上記問題点、欠点に鑑み成されたものであって、その目的とするところは、上記問題点、欠点を解消する点にあり、コンタクトフォトリソグラフィを容易にし、コンタクトサイズを可能な限り大きくして、コンタクトの抵抗値をより低くすることができるメモリセル内コンタクトに係る半導体記憶装置の製造方法を提供することにある。

【0009】

【課題を解決するための手段】 本発明に係る半導体記憶装置は、「自己整合的にコンタクトを形成する場合のコンタクト形成法において、ビット線に対するコンタクトと複数の容量素子に対するコンタクトを1つのパターンとして開口すること」（請求項1）、を特徴とし、これにより上記目的を達成したものである。

【0010】 （作用） 自己整合的にコンタクトを形成する場合のコンタクト形成法において、ビット線に対する

コンタクトと複数の容量素子に対するコンタクトを1つのパターンとして開口する(請求項1)ことにより、コンタクトが従来の製造方法によるコンタクトより大きく形成され、コンタクトと拡散層の接触面積が大きく、コンタクト抵抗が低抵抗となる。

【0011】

【発明の実施の形態】本発明に係る半導体記憶装置の製造方法について、図1、図2、図3を参照して説明する。図1の[工程B]にゲートフォトリソグラフィ、エッチング後の断面形状を示す。ゲート上部電極5上に、コンタクトエッチング時ストッパ膜となる窒化膜6を例えば150nm程度で成膜してある。この後、層間絶縁膜9を形成し、図1の[工程D]に示したようにコンタクトフォトリソグラフィを行ない、コンタクトを開口する。

【0012】本発明に係る半導体記憶装置の製造方法の特徴は、この時ビットコンタクトと容量コンタクトを一つにしたコンタクトパターンを用いてコンタクトを開口するものである。図1の[工程E]がコンタクト開口後の断面形状であり、ゲート電極上の窒化膜でコンタクトエッチングがストップし、ゲート電極の上面の露出を防止し、ビットコンタクトと2つの容量コンタクトが開口できている。

【0013】次に図2の[工程B]に示すように、ゲート電極側壁を絶縁するサイドウォール酸化膜もしくは窒化膜を形成し、この後、局所配線として用いるパッドポリシリコン電極を形成し、図3の[工程A]に示すようなメモリセルを形成すると云うものである。

【0014】次に、本発明に係る半導体記憶装置の製造方法について具体的に説明する。

(第1の実施の形態)以下、本発明の第1の実施の形態を図1～6を用いて説明する。図1の[工程A]に示すようにはじめにシリコン基板1内に素子分離領域2を形成し、ゲート酸化膜3形成後、ゲート下部電極4としてポリシリコンを100nm、ゲート上部電極5としてWSiを150nmそれぞれシリコン基板上に堆積する。このゲート下部・上部両電極でワード線が構成される。次に、ゲートエッチング時にエッチングマスク、後工程でコンタクトを開口する時に下地ワード電極の露出を防止するエッチングストップ膜となるストッパ窒化膜6を、ゲート上部電極5上に150nm程度全面に堆積する。

【0015】次に図1の[工程B]に示すように、通常のフォトリソグラフィ工程を用いてゲートのレジストパターン7を形成する。このレジストパターン7をマスクにし、下地ストッパ窒化膜6をエッチングする。この窒化膜もしくはレジストパターン7をマスクにゲート上部電極4、ゲート下部電極5を順次エッチングする。図1の[工程B]では、レジストパターン7を残してゲート電極をエッチングしたが、ストッパ窒化膜6のみをレジ

ストマスクでエッチングし、レジストを除去し、ストッパ窒化膜6をマスクにゲート電極をエッチングしてもよい。

【0016】次に図1の[工程C]に示すように、ゲート電極形成後N型拡散層8を形成し、層間絶縁膜9を形成する。

【0017】次に図1の[工程D]に示すように、公知のフォトリソグラフィ技術を用いて、コンタクトパターン10を形成する。この時の平面パターンを図4に示す。図1、図2、図3の断面は、図4のA-A上の断面である。30がフィールドパターンであり、31がゲート電極パターンであり、32がコンタクトパターンであり、33が局所配線となるパッドポリシリコン電極パターンである。通常3つのコンタクトで形成しているコンタクトパターンを本発明では32で示すような1パターンで形成している。次に、このレジストパターン10をマスクに酸化膜をエッチングする。この時ゲート電極上はエッチングストッパ窒化膜6があるためエッチングされずゲート電極間の層間絶縁膜9と、ストッパ窒化膜6上の層間絶縁膜9のみがエッチングされる。

【0018】次に図2の[工程A]に示すように、全面に酸化膜11を成膜する。この膜は、ゲート電極の側壁とパッド電極を電氣的に絶縁するものであり、絶縁膜ならよく例えば窒化膜でもよい。

【0019】次に図2の[工程B]に示すように、エッチバックを行ない、酸化膜11を側壁のみに形成する。次に図2の[工程C]に示すように、全面にポリシリコン12Aを成膜する。次に図2の[工程D]に示すように、フォトリソグラフィ工程を用いて、パッドポリシリコン電極12を形成するためのレジストパターン13を用い、ポリシリコン12Aをエッチングし、パッドポリシリコン電極12を形成する。

【0020】次に図3の[工程A]に示すように、レジストパターン13を除去し、パッドポリシリコン電極12が形成できる。図3の[工程B]にセルの断面図を示す。図3の[工程A]に示した構造の後に、パッドポリシリコン電極12上に第1の層間絶縁膜14が形成されており、ビットコンタクト15とビット線16が形成されている。第2の層間絶縁膜17を形成後、容量コンタクト18、容量下部電極19が形成されている。容量下部電極上に容量絶縁膜20、容量上部電極21を形成し、第3の層間絶縁膜22を形成する。第3の層間絶縁膜22上に第1のアルミ配線23が形成されている。

【0021】次に、ゲートと平行な断面図を図5、図6に示す。これらの図は、図4のB-BとC-Cの断面を合わせたものである。図5の[工程A]は図1の[工程A]に対応するものである。図5の[工程B]は、図1の[工程B]のレジストを除去したのに対応する。図5の[工程C]は図1の[工程C]に対応するものである。図5の[工程D]は図1の[工程D]に対応するものである。図6

の[工程A]は図2の[工程B]に対応するものである。図6の[工程B]は図2の[工程D]に対応するものである。図6の[工程C]は図3の[工程A]に対応するものである。

【0022】(第2の実施の形態)次に、本発明の第2の実施の形態について図面を参照して詳細に説明する。図7、図8に第2の実施の形態の製造方法を示す。図7の[工程A]～図7の[工程E]、図8の[工程A]～図8の[工程C]までは、第1の実施の形態と同じである。次に図8の[工程D]に示すように全面のポリシリコン12A

をエッチバックし、コンタクト内のみポリシリコンを残す。このポリシリコンが残った部分がパッドポリシリコン電極12となる。

【0023】図9に本発明の第2の実施の形態の平面図を示す。図7、8は図9のA-A断面を图示したものである。30がフィールドパターンであり、31がゲートパターンであり、32がコンタクトパターンである。本パターンの特徴はフィールドパターンが凸型であり、コンタクトも凸型にして、パッドポリシリコン電極のフォトリソグラフィを不要としている。

【0024】ワード線と平行な断面を図10に示す。図10は図9のB-B、C-C、D-D断面を图示したものである。図10の[工程A]は図7の[工程A]に対応するものであり、図10の[工程B]は図7の[工程B]のレジストを除去したのに対応するものであり、図10の[工程C]は図7の[工程C]に対応するものであり、図10の[工程D]は図7の[工程E]に対応するものである。

【0025】この第2の実施の形態では、パッドポリシリコン電極用のフォトリソグラフィを行わず、コンタクトに埋め込んだポリシリコンをそのままパッドポリシリコン電極に使用するものであり、微細なフォトリソグラフィ工程を1回省略することができる。この1回のフォトリソグラフィ工程の削減は、本発明の製造方法で製造することにより可能となる。

【0026】なお、本発明は、以上の実施の形態により限定されるものではなく、前記した本発明の要旨の範囲で種々の変形、変更が可能である。

【0027】

【発明の効果】本発明は、以上詳記したとおり、ビットコンタクトと2つの容量コンタクトを1つのパターンとして開口することにより、微細なコンタクトフォトリソグラフィ時のコンタクトサイズを大きくすることができ、フォトリソグラフィが容易になる。また本発明の方法でコンタクトを形成することにより、コンタクトと拡散層の接触面積が大きくなり、コンタクト抵抗の低抵抗化が可能となる効果が生じる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態の製造工程を説明する図である。

【図2】本発明の第1の実施の形態の製造工程を説明す

る図である。

【図3】本発明の第1の実施の形態の製造工程を説明する図である。

【図4】本発明の第1の実施の形態のレイアウトパターンの一例である。

【図5】本発明の第1の実施の形態の製造工程を示す図である。

【図6】本発明の第1の実施の形態の製造工程を示す図である。

【図7】本発明の第2の実施の形態の製造工程を示す図である。

【図8】本発明の第2の実施の形態の製造工程を示す図である。

【図9】本発明の第2の実施の形態のレイアウトパターンの一例を示す図である。

【図10】本発明の第2の実施の形態の製造工程を示す図である。

【図11】従来例のDRAMのメモリセルの断面を示す図である。

【図12】従来例のDRAMのメモリセル形成方法を示す図である。

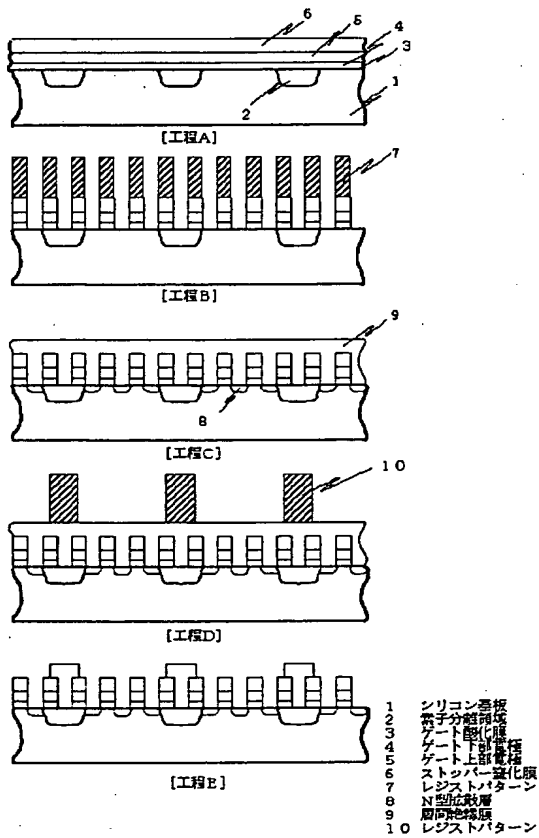
【図13】従来例の問題点を示す図である。

【符号の説明】

1, 50	シリコン基板
2, 51	素子分離領域
3, 52	ゲート酸化膜
4, 53	ゲート下部電極
5, 54	ゲート上部電極
6, 55	ストッパー窒化膜
55A, 55B	窒化膜
7, 10, 13	レジストパターン
8, 58	N型拡散層
9, 57	層間絶縁膜
11	酸化膜
12A,	ポリシリコン
12, 56	パッドポリシリコン電極
14	第1の層間絶縁膜
15, 58	ビットコンタクト
16, 59	ビット線
17, 60	第2の層間絶縁膜
18, 61	容量コンタクト
19, 63	容量下部電極
20, 64	容量絶縁膜
21, 65	容量上部電極
22, 67	第3の層間絶縁膜
23, 68	第1のアルミ配線
30	フィールドパターン
31	ゲート電極パターン
32	コンタクトパターン
33	パッドポリシリコン電極パターン

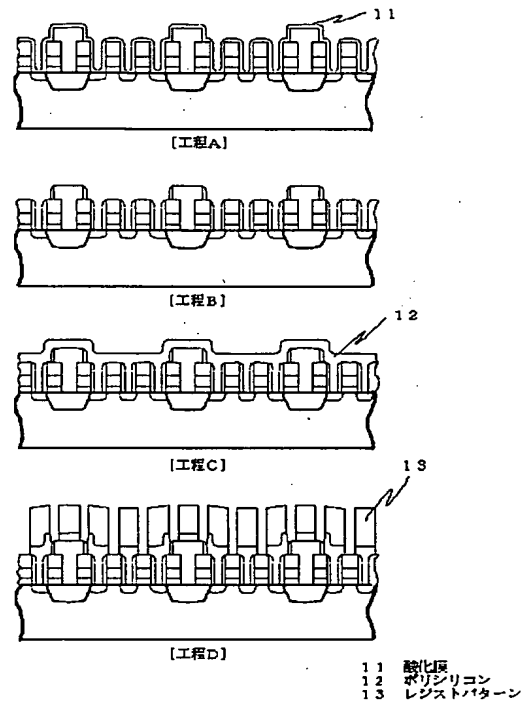
62 下敷き窒化膜
70, 71 コンタクト

【図1】

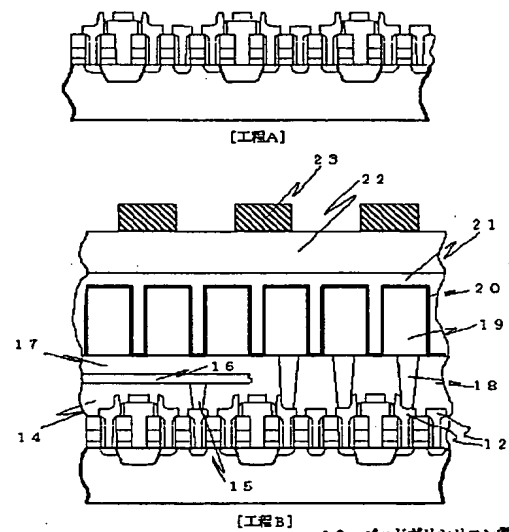


73, 74, 75 コンタクト
72 素子分離部やられ

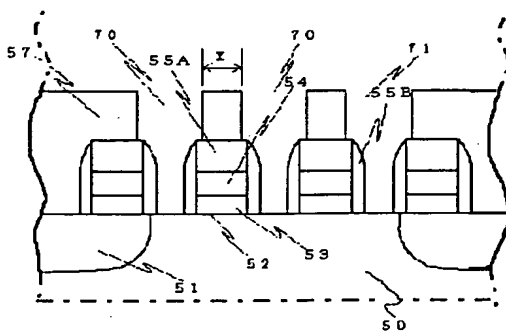
【図2】



【図3】

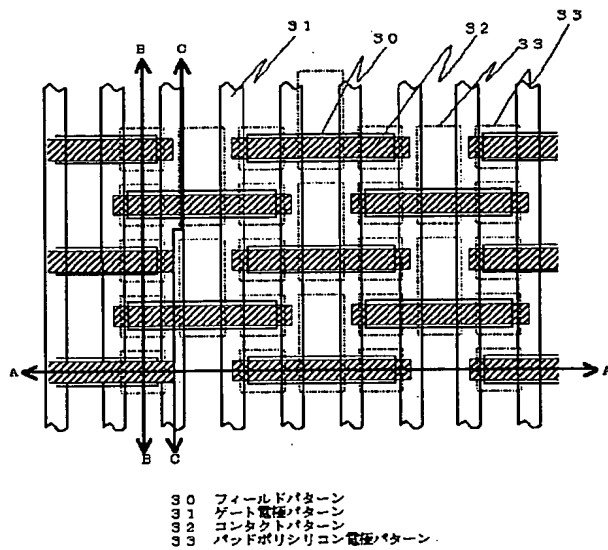


【図12】

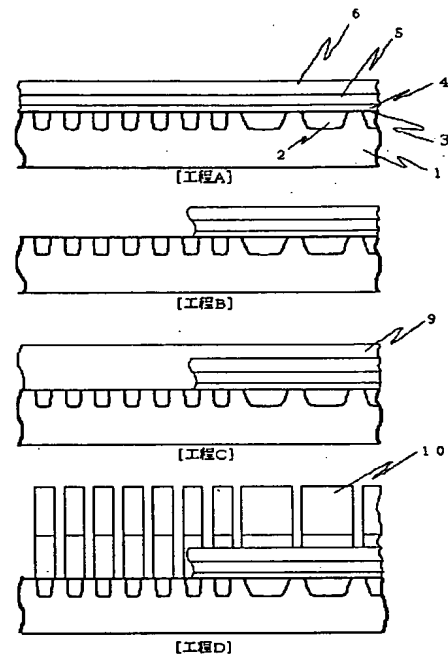


50 シリコン基板
51 窒化シリコン膜
52 ゲート電極
53 ゲート上部電極
54 ストップパター層
55A レジストパターン
55B N型拡散層
56 局所絶縁膜
57 局所絶縁膜
58 コンタクト
59 コンタクト

【図4】

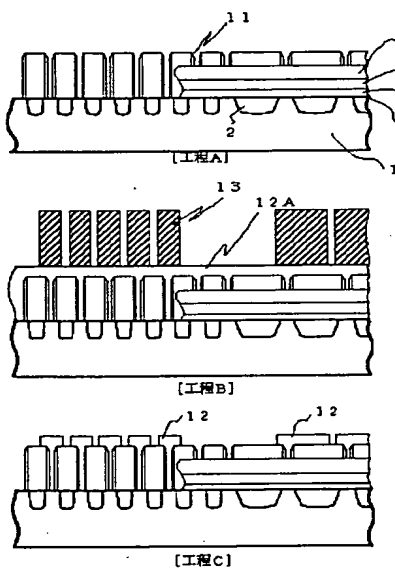


【図5】



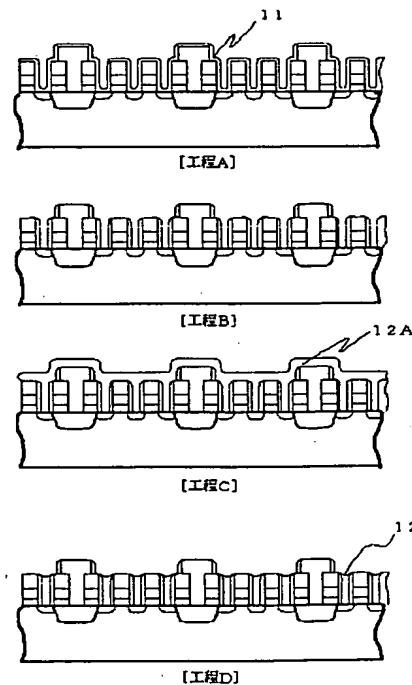
- 1 シリコン基板
- 2 素子分離領域
- 3 ゲート酸化膜
- 4 ゲート下部電極
- 5 ゲート上部電極
- 6 ストップパター
- 7 酸化膜
- 8 層間絶縁膜
- 9 レジストパターン
- 10

【図6】



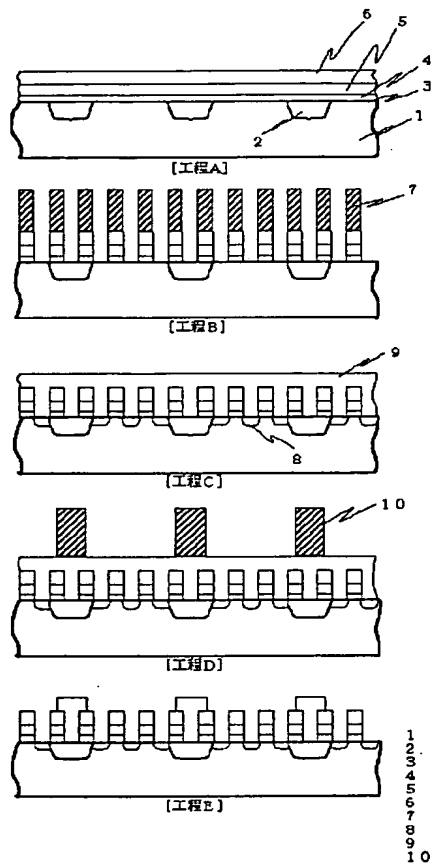
- 1 シリコン基板
- 2 素子分離領域
- 3 ゲート酸化膜
- 4 ゲート下部電極
- 5 ゲート上部電極
- 6 ストップパター
- 7 酸化膜
- 8 層間絶縁膜
- 9 レジストパターン
- 10 レジストパターン
- 11 酸化膜
- 12 パッドポリシリコン電極
- 12 A ポリシリコン
- 13 レジストパターン

【図8】



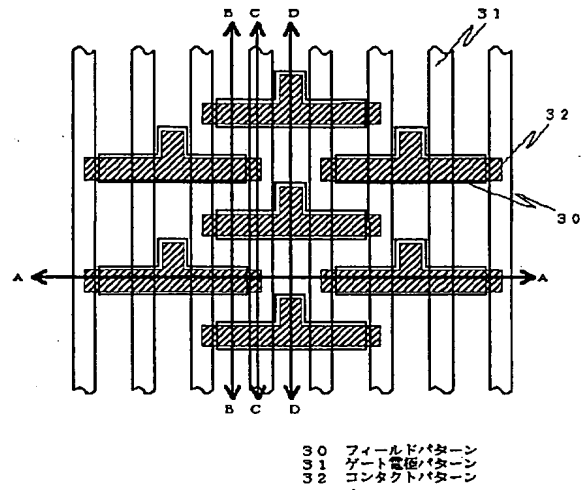
- 11 酸化膜
- 12 パッドポリシリコン電極
- 12 A ポリシリコン

【図7】

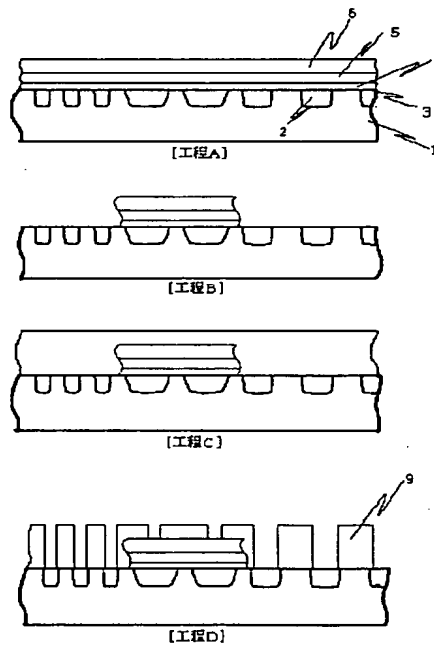


1 シリコン基板
2 素子分離領域
3 ゲート酸化膜
4 ゲート下部電極
5 ゲート上部電極
6 ストップパター変化膜
7 レジストパターン
8 N型半導体層
9 局所絶縁膜
10 レジストパターン

【図9】

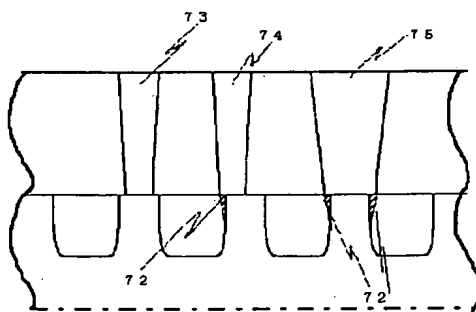


【図10】



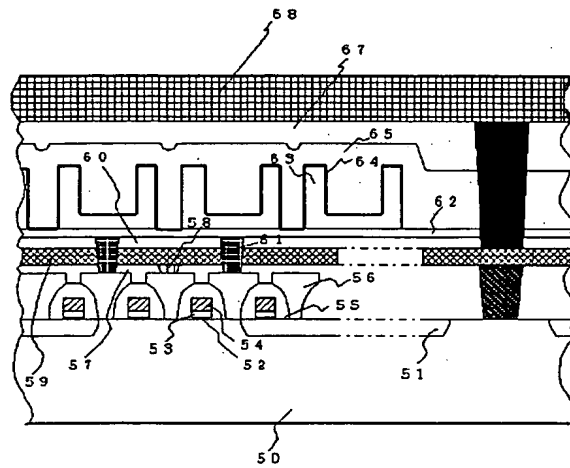
1 シリコン基板
2 素子分離領域
3 ゲート酸化膜
4 ゲート下部電極
5 ゲート上部電極
6 ストップパター変化膜
9 局所絶縁膜

【図13】



72 素子分離部やられ
73 コンタクト
74 コンタクト
75 コンタクト

【図11】



- 50 シリコン基板
- 51 酸化シリコン膜
- 52 ゲート酸化膜
- 53 ゲート下部電極
- 54 ゲート上部電極
- 55 ストップ層酸化膜
- 56 パッドポリシリコン電極
- 57 第1の層間絶縁膜
- 58 ビットコンタクト
- 59 ビット線
- 60 第2の層間絶縁膜
- 61 第2の層間絶縁膜
- 62 下層酸化膜
- 63 第2の層間絶縁膜
- 64 第2の層間絶縁膜
- 65 第2の層間絶縁膜
- 66 第2の層間絶縁膜
- 67 第2の層間絶縁膜
- 68 第1のアルミ配線

フロントページの続き

Fターム(参考) 4M104 AA01 BB01 CC01 DD02 DD08
 DD16 DD17 FF21 FF26 GG14
 GG16 HH14
 5F033 HH04 KK28 QQ28 QQ37 RR04
 RR06
 5F083 AD42 AD48 AD49 JA53 LA21
 MA02 MA06 MA17 MA20 PR06
 PR29

BEST AVAILABLE COPY